

“FPPMLU” FPGA circuit for GR FPP Ver 1.0

H. Akimune

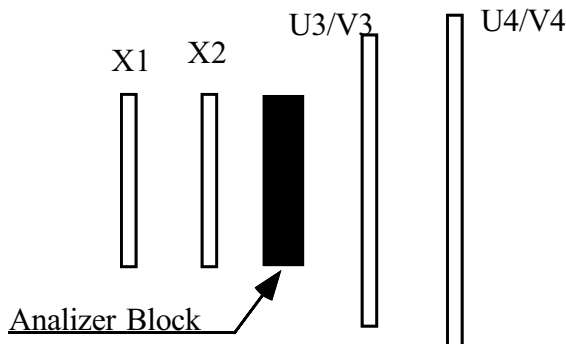
平成 9 年 7 月 22 日

1 概要

fppmlu は Grand Raiden の焦点面検出器 (FPP) ととも使い、

- 散乱体での陽子の散乱角を Multi Wire Propotional Chamber (MWPC) のデータから 3μ sec 程度で計算し、
- 散乱体での散乱角が小角度 (5° 程度以下) で偏極度測定に寄与しないイベントをすてて、
- 散乱角の大きなイベントを選択し、データの取り込みのトリガー (2nd Level trigger) を作る。

散乱体での散乱角を測定するための MWPC は下図のように 4 面で構成されている。



各面の呼び名は、通常のスペクトログラフの座標系に従い、粒子の進行方向を z 、散乱平面に垂直な方向を y 、散乱平面に平行で z に垂直な方向を x とする。さらに、 z を軸中心に、 x,y 軸を $+3\pi/4$ 回転した座標を u,v と呼ぶ。また、上流の MWPC から順に 1,2,3,4 とする。

散乱体での散乱角を計算するには、各面で測定された位置 $\vec{p}_1, \vec{p}_2, \vec{p}_3, \vec{p}_4$ 、から散乱角 θ は、

$$\cos(\theta) = \frac{(\vec{p}_2 - \vec{p}_1) \cdot (\vec{p}_3 - \vec{p}_4)}{|\vec{p}_2 - \vec{p}_1| |\vec{p}_3 - \vec{p}_4|}$$

であたえられる。しかし、正確にこの計算を FPGA の回路系で処理するのは実際上不可能なので、

- 有効な散乱角 $\theta_0 = 5^\circ$ 以上と小さい。
- FPP へ入射する陽子の横方向への広がり 4° 程度と小さいが、有効散乱角に比べると無視できない。
- Grand Raiden の縦倍率が??? と大きく、縦方向の入射陽子の広がり 1° 程度と (少なくとも 2nd Level Trigger の段階では) 有効散乱角に比べて無視できるほど小さい。

などの測定条件を考慮し、 $\tan(\theta) \simeq \theta$ 、 $(y_2 - y_1)/L_1 \ll \theta_0$ と近似すると、散乱角は次の式で得られる。

$$\tan(\theta_u) \simeq \frac{u_4 - u_3}{L_3} - \frac{u_2 - u_1}{L_1}, \quad (1)$$

$$\simeq \frac{u_4 - u_3}{L_3} + \frac{\sqrt{2}}{2} \frac{x_2 - x_1}{L_1}, \quad (2)$$

$$\tan(\theta_v) \simeq \frac{u_4 - u_3}{L_3} - \frac{u_2 - u_1}{L_1}, \quad (3)$$

$$\simeq \frac{u_4 - u_3}{L_3} - \frac{\sqrt{2}}{2} \frac{x_2 - x_1}{L_1}. \quad (4)$$

ここで MWPC 間の距離 L_1 、 L_3 を、

$$L_3 = \sqrt{2}L_1$$

としておくと、

$$\tan(\theta_u) \propto (u_4 - u_3) + (x_2 - x_1), \quad (5)$$

$$\tan(\theta_v) \propto (u_4 - u_3) - (x_2 - x_1) \quad (6)$$

となって単純な加減算および bit shift だけで散乱角を計算できる。

2 2366 のすること

- POCS III から MWDC の Hit Pattern をロードする。
- 式 5,6 に従い散乱角 U' 、 V' を計算する。
- MWDC に複数の hit がある場合には、全ての有り得る組合せわせに対し散乱角を計算する。
- MLU に散乱角を入力し、Accept、Reject の判定をする。

ただし、

- 1 面当たりの hit 数は最大 15。
- hit のない面が一つでもあれば Reject。
- 計算できる最大組合せ数は 20 通り。20 通りで全ての組合せを尽くさない場合、Reject
- MLU に入力するのは、 U' 、 V' の最下位 bit を除く 8bit。
- U' 、 V' が 8bit で表せる範囲 (-127 ~ 127) を越えた場合、大散乱角として Accept。

組合せごとの計算は、計算機のプログラム風にかくと X_1 , X_2 , U_3 , V_3 , U_4 , V_4 の hit の数、位置を n_0 , n_1 , n_2 , n_3 , n_4 , n_5 , x_1 , x_2 , u_3 , v_3 , u_4 , v_4 として、

```

for(i_0 = 0; i_0 < n_0){
  for(i_1 = 0; i_1 < n_1){
    for(i_2 = 0; i_2 < n_2){
      for(i_3 = 0; i_3 < n_3){
        for(i_4 = 0; i_4 < n_4){
          for(i_5 = 0; i_5 < n_5){
            u_prime = u_4[i_4] - u_3[i_2] + 2*(x_2[i_1] - x_1[i_0]) - offset
            v_prime = v_4[i_6] - v_3[i_3] - 2*(x_2[i_1] - x_1[i_0]) - offset
            mlu = ((0x01fe & u_prime) >> 1) | ((0x01fe & v_prime) << 7)
          }
        }
      }
    }
  }
}

```

	Total Wire #	Central Wire #
X1	384	236
X2	384	236
U3	640	314
V3	640	329
U4	704	348
V4	704	348

表 1: MWPC の総 Wire 本数および中心軌道の通る Wire¹

X1	X2
	U3
	V3
	U4
	V4

表 2: LeCroy 社の PCOS Dedicated Crate の配置。

```

}
}
}
}
}
}

```

を実行することにより行なわる。計算結果 `m1u` は MLU に入力され、MLU に Load された Map にしたがって、Accept、Reject が決定される。

3 PCOS III の設定

PCOS の Dedicated CRATE は表 2 のように配置されている。PCOS III を表 3 にしたがって設定し、これら全てを、50 芯フラットケーブルで DataBus コネクタ間をつなぎ、LeCroy4299 Data Bus Interface につなぐ。さらに 1 m の 34 芯フラットケーブルで、

- X1 ECL port IN → X2 ECL port OUT
- X2 ECL port IN → U3 ECL port OUT
- V3 ECL port IN → U4 ECL port OUT
- U4 ECL port IN → V4 ECL port OUT

とつなぐ。表 3 の設定では ECL port にケーブルをつながないと 4299、RDTM にもデータの読み出しが出来ないので注意すること。この状態で、Delay & Latch モジュールの Logical Address、Threshold Voltage、test hit pattern のロードを行なう。

No.	Option	X1	X2	U3	V3	U4	V4
1	Controller Address LSB	1	0	1	0	1	0
2		1	1	0	0	1	1
3		1	1	1	1	0	0
4	Controller Address MSB	1	1	1	1	1	1
5	LAM Request 1: Disable	0	0	0	0	0	0
6	DATABUS 1: Auto Transfer	1	1	1	1	1	1
7	Terminal 1: Terminal	0	0	1	0	0	1
8	Master 1: Master	1	0	0	1	0	0
9	ECL 1: Before Data Pipeline	0	0	0	0	0	0
10	Mode 1: no Clusterrize	0	0	0	0	0	0

表 3: 1、0 は switch が closed、open に対応。Address は、1 (closed) のとき値が 0 となることに注意。

I/O	Pin	Name	Pin	Name	Pin	Name	Pin	Name
IN	A0	PCOS Busy	A1	MRST	A2	MLU out	A3	MLU Ready
OUT	A4	MLU Enable	A5	DS Enable	A6	Accept	A7	Reject
IN	B0~15	PCOS Data 1	B16	PCOS DR 1	C0~15	PCOS Data 2	C16	PCOS DR 2
OUT	D0~15	MLU DATA						

表 4: 2366 ULM の pin assignment

4 2366 ULM の設定

4.1 ハードウェア

VME05、Kinetic2922、CAMAC Crate。Kinetic3922 を用意し接続する。CAMAC Crate には、

Slot	Module
1	2366 ULM
2	2732 MLU
3	Data Stack
4,5	ECL NIM
7	4299 DBIF
8	Scaler
10,11	GDG

とさす。2366 の I/O Port の設定は、出荷時の標準とは異なり、A0~7ch は入力、A8~15ch は出力、B0~15ch は入力、C0~15ch は入力、D0~15ch は出力、とする。Data Stack の入力ポートの 110 Ω ターミネータは外しておく。Data Stack、Scaler、GDG はデバッグ用。

4.2 ケーブル

2366 の Pin assignment を表 4 に示す。

X1,X2,U3,V3,U4,V4のPCOS IIIのE1、E3へNIM FanInFanOutからつなく。
PCOS IIIのRSTへメイントリガーからのFast ClearをDesy Chainでつなく

PCOS IIIと2366の接続

34芯のフラットケーブルの片方の端を1~32芯と33、34芯に分離したケーブルを用い、分離した一方をX1、U3のPCOS IIIのECL outと、PCOS IIIのDRにつなぎ、別の一方をI/O B、Cにつなく。

6台のPCOS IIIのBusy LemoコネクタをDesy ChainでつなぎECL-NIM Level Adaptorを介して2366につなく。

2366とMLUの接続

34芯のフラットケーブルの片方の端をI/O Dにつなぎ、別の一方をMLU INにつなく。A2,3,4を2ピンのツイストケーブルで表4に示されたコネクタにつなく。

2366とData Stackの接続

MLU INにつないだ34芯のフラットケーブルにコネクタをもう一つつけておきData Stackにもつなぎ、A5、MRSTをData StackのWE、MRSTにつなく。

PCOS III E1トリガーのreading edgeで作った100 ns幅のMRST(Master Reset)シグナルを2366につなく。

4.3 設定およびテスト用ソフトウェア

使い方は、コマンドラインの引数なしで起動したときのコメントを参照。

rdefs OS9環境の設定。

pcoslogaddr Delay & LatchのAddressの設定。入力ファイルは
/h0/GR/CAMAC/k2917/2ndlevel/jul97.addr²

pcosthreshold Pre Amp.のThreshold電圧の設定。

pocsdelay Delayの設定。

pcostest テスト用のhit patternのロード。入力ファイルは
/h0/GR/CAMAC/k2917/2ndlevel/hit111122.test

xilinxload 2366へのbit fileのダウンロード。入力ファイルは
/h0/GR/BIT/FPP/2nd/fppmlu.h.bit²

fpp_cal PCOS IIIの出力データから、MLUの入力データを計算する。

mluload2372_uv MLUにAccept、RejectのMapをロードする。

4.4 PCOS III、2366の動作確認

PCOS III Dedicated Crate、2366のCrateの電源を投入した後、

pcos_logaddr

² 97年7月現在

で Delay & Latch の Logical Address を設定し、

pcos_threshold

等で LeCroy Data Bus の動作を確認し、

xilinxload, mluload2372_uv

で 2366、MLU を初期化する。

pcostest で hit pattern を load し、nfaloop /h0/gr/camac/k2917/2ndlevel/pcosread で load した pattern が正しく 4299 に送られていることを確認する。pcosread は、

- 1st ~ 18th word: 4299 に送られたデータ
- 19th word: MLU の出力 (最下位 bit のみのみを持つ)
- 20th word: MLU の入力
- 21th word: Data Stack の入力 word 数
- 22th ~ 32 word: Data Stack の入力 word

をターミナルに出力す

まず、X1, X2, U3, V3, U4, V4 のうち一つの面に hit がない場合、Data Stack の入力 word 数が 0 になる、すなはち不十分な event とみなして 2366 が reject していることを確認する。次に全ての面に一つずつ hit のある pattern を load し、4299 に送られたデータを fpp_cal に入力して得られた結果が Data Stack に入力されたデータと一致することを確認する。さらに、hit が複数ある pattern を load し、Data Stack に入力された値が fpp_cal の計算結果と一致することを確認する。

4.5 MLU Map の調整

散乱陽子を用いた調整の手順をしめす。まず、online analyzer で”thetaU VS thetaV” の二次元 histogram を表示し、r を十分大きくとって (~200) MLU の Map をすべて Reject にし、-127~127 の正方形が白抜きになることを確認する。この領域の外側は MLU の判断によらず FPGA の回路で Accept するので、もし MLU で Reject したい領域が白抜きの領域からはみ出ている場合は bit file を変更する必要がある。次に、r=0 として散乱体で散乱されなかった粒子の中心が”thetaU VS thetaV” 上でどこにあるかを確認し、さらに r=5 程度にして Reject された白抜きの領域と散乱されなかった粒子の中心が一致するように offset U と offset V を調節する。MLU の入力値は最下位 bit が切り捨てられているので r, offset u, ofset v は”thetaU VS thetaV” 上では二倍の値になる。例えば、r=10 とすると、半径 20 の領域が白抜きになる。mluload2372_uv の実行例は、

```
GR> mluload2372_uv
MLU Load Program
Input r:10
Input offset U:5
Input offset V:3
Load MLU Memory at Crate= 0 Station=2.
r = 10
offset1= 5, offset2=3
Loading ...
Completed
GR5>
```

ここで under-line のある部分が入力値。